

## ⑫ 公開特許公報(A) 平2-29883

⑤ Int.Cl.<sup>3</sup>

G 06 F 15/74

識別記号

3 4 0 A

庁内整理番号

7165-5B

⑬ 公開 平成2年(1990)1月31日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 ハンディターミナル

⑮ 特 願 昭63-181122

⑯ 出 願 昭63(1988)7月20日

⑰ 発 明 者 志 村 正 雄 東京都青梅市末広町2丁目9番地 株式会社東芝青梅工場内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 鈴江 武彦 外2名

## 明 細 書

## 1. 発明の名称

ハンディターミナル

## 2. 特許請求の範囲

マイクロプロセッサを核とし、ROMあるいはRAMに記憶されたプログラムにより装置全体の制御を行う手段と、上記RAMとは異なるメモリ空間に存在するバックアップメモリと、該バックアップメモリへの書き込み許可命令が与えられた時のみ上記バックアップメモリへの書き込みを許可し、書き込み禁止命令が与えられることによりバックアップメモリへの書き込みを禁止するバックアップメモリ制御回路と、電源オン時に実行され、上記RAMとバックアップメモリに記憶されているプログラムを比較し、不一致のとき正しい方のプログラムを他方にコピーするロードプログラムが格納されるROMとを具備することを特徴とするハンディターミナル。

## 3. 発明の詳細な説明

(発明の目的)

## (産業上の利用分野)

本発明は、マイクロプロセッサ内蔵のハンディターミナルに関する。

## (従来の技術)

従来、ハンディターミナルは第2図に示す様に構成されていた。図において、電源オンスイッチの操作により、電源制御回路202の電源スイッチ回路がオンされ、全てのコンポーネントに電源が供給される。マイクロプロセッサ部205は、ROM207に記憶されているロードプログラムにより、パソコン本体よりインターフェース回路209を介してRAM206にファームウェアプログラムをロードし、このファームウェアプログラムにより、ハンディターミナル全体の制御が行われる。RAM206に記憶されているファームウェアプログラムはハンディターミナルの電源がオフされても、副電池204により、その内容が保持されている。

## (発明が解決しようとする課題)

上述したハンディターミナルにおいて、何ら

かの原因でマイクロプロセッサ部205が暴走すると、RAM206に記憶されているプログラムが破壊されてしまい、再び、パソコン（パーソナルコンピュータ）本体からファームウェアプログラムをロードしなければならないという煩わしさがあった。

本発明は上記事情に鑑みてなされたものであり、マイクロプロセッサ部の暴走等により、RAMに記憶されているファームウェアプログラムが破壊されてもバックアップメモリ空間にあらかじめセーブされているファームウェアプログラムをロードすることにより、ハンディターミナル内でファームウェアプログラムの復元を可能とするハンディターミナルを提供することを目的とする。

#### （発明の構成）

##### （課題を解決するための手段）

本発明は、ハンディターミナルを、マイクロプロセッサを核としROMあるいはRAMに記憶されたプログラムにより装置全体の制御を行う手段と、上記RAMとは異なるメモリ空間に存在す

るバックアップメモリと、該バックアップメモリへの書き込み許可命令が与えられた時のみ上記バックアップメモリへの書き込みを許可し、書き込み禁止命令が与えられることによりバックアップメモリへの書き込みを禁止するバックアップメモリ制御回路と、電源ON（オン）時に実行され、上記RAMとバックアップメモリに記憶されているプログラムを比較し、不一致のとき正しい方のプログラムを他方にコピーするロードプログラムが格納されるROMで構成したものである。

#### （作用）

上記構成において、ロードプログラムには、RAMとバックアップメモリにファームウェアが存在するか否かを判断し、ファームウェアのロードを指示するルーチンが格納されている。更に、RAMとバックアップメモリにファームウェアが存在する時、両者をチェックし、不一致であればチェックサム等によりプログラムの正常を判断し、正しい方を他方へコピーする。そして制御をRAMに記憶されたファームウェアに移す。

このことにより、ハンディターミナル内でファームウェアの復元を実現できる。

#### （実施例）

以下、図面を使用して本発明実施例について詳細に説明する。

第1図は本発明の実施例を示すブロック図である。

図において、1はデータを入力するためのキーボード、2は電源オンスイッチの操作により、各コンポーネントに電源を供給し、電源オフスイッチの操作により、RAM6とバックアップメモリ8以外のコンポーネントの電源をオフする電源制御回路である。3は各コンポーネントの電源である主電池、4は電源オフ時、RAM6とバックアップメモリ8の記憶内容を保持するための電源である副電池である。5はROM9あるいはRAM6に記憶されているファームウェアプログラムにより、ハンディターミナル全体の制御を行うマイクロプロセッサ部、6はファームウェアプログラムとエントリートされた入力データが記憶される

RAM、7はバックアップメモリ8への書き込み許可命令により、バックアップメモリ8への書き込みを許可し、書き込み禁止命令により、バックアップメモリ8への書き込みを禁止するバックアップメモリ制御回路（BM-CNT）である。8はRAM6に記憶されているファームウェアプログラムをセーブするためのバックアップメモリ、9はファームウェアプログラムをハンディターミナルにロードするためのロードプログラムが記憶されているROM、10はキーボード1より入力されたデータを表示し、確認するための液晶ディスプレイ（LCD）、11はRAM6とバックアップメモリ8にファームウェアプログラムをロードしたり、RAM6に記憶されているエントリートデータをパソコン本体へ出力するためのインタフェース回路（IF）である。

以下、本発明実施例の動作について詳細に説明する。まず、電源オンにより、マイクロプロセッサ部5はROM9に記憶されているロードプログラムを実行する。ロードプログラムは以下に示す

ような動作を実行するようにプログラムされており、その内容に従って、マイクロプロセッサ部はハンディターミナル全体の制御を行う。即ち、まずRAM 6とバックアップメモリ 8にプログラムが存在するかどうかを判断し、存在しない場合は、インタフェース回路 11を介して、パソコン本体からのファームウェアプログラムのロード待ちとなる。パソコン本体からファームウェアプログラムが伝送されてくると、それをRAM 6とバックアップメモリ 8にロードする。尚、バックアップメモリ 8にファームウェアプログラムをロードする前に、バックアップメモリ制御回路 7に対して、バックアップメモリ 8への書き込み許可命令を出力する。ファームウェアプログラムのロードが終了すると、チェックサムデータとファームウェアプログラムが存在するという情報を特定のアドレスに書き込み、バックアップメモリ制御回路 7に対して、バックアップメモリ 8への書き込み禁止命令を出力する。これらの動作を終了すると、RAM 6にロードされているファームウェアプロ

グラムに制御を移し、このファームウェアプログラムによりハンディターミナル全体の制御が行われる。

次に、RAM 6とバックアップメモリ 8にファームウェアプログラムが存在する場合について述べる。RAM 6とバックアップメモリ 8に記憶されているプログラムを比較し、同一であれば、RAM 6にセーブされているファームウェアプログラムに制御を移す。もし、同一でなければ、チェックサム等によりどちらに記憶されているプログラムが正常であるか判断し、正しい方のプログラムを他方にコピーする。尚、RAM 6の内容をバックアップメモリ 8へコピーする場合には、あらかじめ、バックアップメモリ制御回路 7に対してバックアップメモリ 8への書き込み許可命令を出力する。プログラムのコピーが終了したら、チェックサムデータとファームウェアプログラムが存在するという情報を特定のアドレスに書き込み、バックアップメモリ制御回路 7に対してバックアップメモリ 8への書き込み許可命令が出力場合に

ついで、バックアップメモリ制御回路 7に対して、バックアップメモリ 8への書き込み禁止命令を出力する。これらの動作を終了したら、制御をRAM 6にセーブされているファームウェアプログラムに移す。

以上、述べたような方法でファームウェアプログラムの保持を行っておけば、マイクロプロセッサ部 5の暴走等によりRAM 6に記憶されているファームウェアプログラムが破壊されてもパソコン本体からファームウェアプログラムをロードすることなしに復元できる。

#### 〔発明の効果〕

以上説明のように本発明によれば以下に列举する効果を奏する。

(1) ファームウェアプログラムが破壊されたまま、実行されることにより、エントリデータ等を破壊するのが妨げる。

(2) マイクロプロセッサ部の暴走等により、ファームウェアプログラムが破壊されても、パソコン本体からファームウェアプログラムをロードす

ることなしに復元できる。

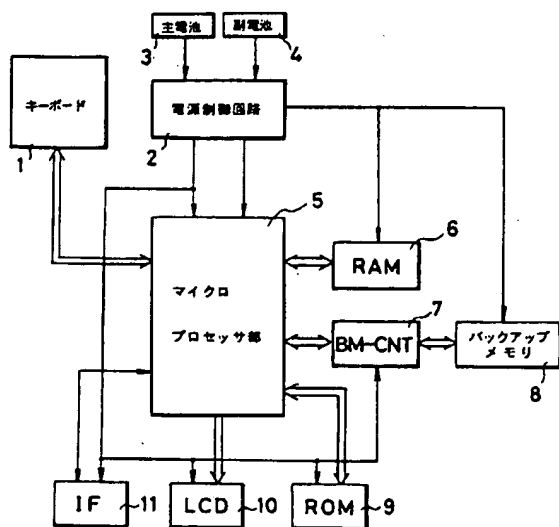
#### 4. 図面の簡単な説明

第1図は本発明の実施例を示すブロック図、第2図は従来例の構成例を示すブロック図である。

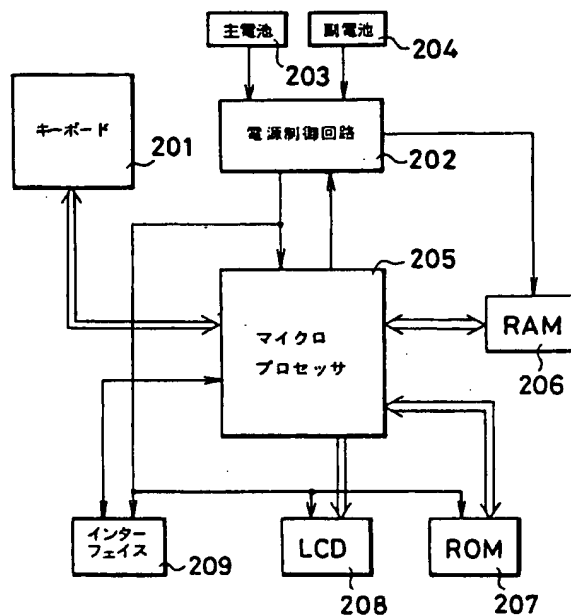
5…マイクロプロセッサ、6…RAM、9…ROM、7…バックアップメモリ制御回路、8…バックアップメモリ。

出願人代理人 弁理士 鈴江武彦

BEST AVAILABLE COPY



第 1 図



第 2 図

BEST AVAILABLE COPY